

353 – Feldeffekttransistor (FET)

1 Aufgaben

1. Untersuchen Sie die Funktionsweise eines FET als steuerbaren Widerstand.
2. Bauen Sie einen Wechselspannungsverstärker mithilfe eines FET auf. Untersuchen Sie die Abhängigkeit der Spannungsverstärkung vom Arbeitspunkt.
3. Bauen Sie zwei vorgegebene Schaltungen zur Untersuchung des hochohmigen Eingangs eines FET auf.
4. Schätzen Sie die Gatekapazität eines FET experimentell ab.

2 Grundlagen

Stichworte: Auf- und Entladen eines Kondensators, strom- und spannungsrichtige Messung

2.1 Feldeffekttransistoren (FETs)

Der FET stellt ein spannungsgesteuertes Bauelement dar. Durch Anlegen einer Gate-Spannung U_G kann der Drain-Source-Kanal verändert werden. Es gibt zahlreiche Formen von FETs. Im Folgenden beschränken wir uns auf den n-Kanal JFET, der im Praktikum verwendet wird.

Der JFET besteht aus einem n-leitenden Halbleiterkristall, der mit Source (**S**, Quelle) und Drain (**D**, Senke) verbunden ist (siehe Abb. 1). Das Gate (**G**, Tor) besteht aus einem p-leitenden Halbleiter. Bringt man diese beiden Halbleiter zusammen, so rekombinieren die Elektronen und Löcher im Grenzbereich und es bildet sich eine Ladungsträgerverarmungszone (■) aus.

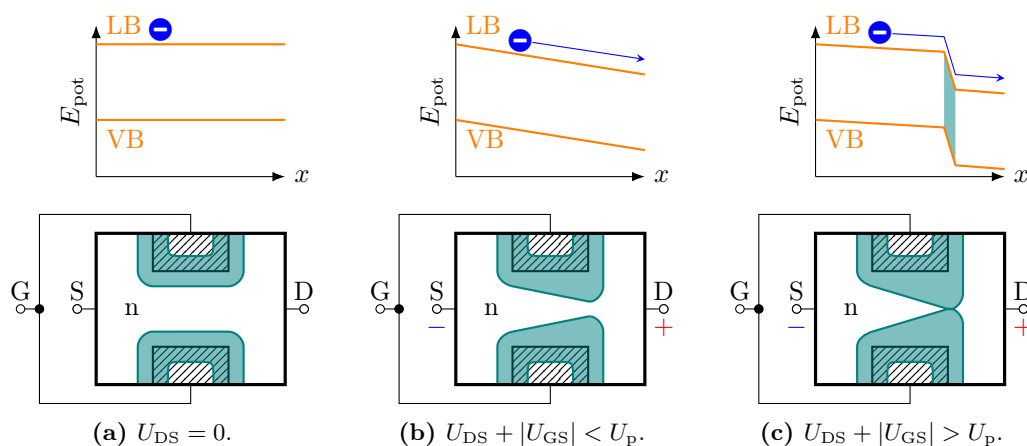


Abbildung 1: Schematische Schnittzeichnung eines n-Kanal JFET mit p-dotiertem Gate (■).

An der Grenzfläche zwischen n-Gebiet und p-Gebiet bildet sich eine Sperrschicht aus (■). In dieser sind fast keine freien Ladungsträger vorhanden, daher nennt man sie Ladungsträgerverarmungszone. Die oberen Diagramme zeigen den Verlauf des Valenzbandes (VB) und des Leitungsbandes (LB) entlang der Kanalmitte. (a) Für $U_{DS} = 0$ ist der Stromfluss $I_{DS} = 0$. (b) Für $U_{DS} > 0$ fließt ein Strom I_{DS} , der zunächst mit größer werdendem U_{DS} ansteigt. (c) Abschnürung (pinch-off) des Kanals $\Rightarrow I_{DS}$ steigt nicht weiter an. $U_p \hat{=}$ pinch-off-Spannung.

Legt man das Gate auf Masse, so nimmt bei der in Abb. 1(b) angelegten Spannung U_{DS} das elektrische Potential in x -Richtung linear ab. An jeder Stelle entlang des Kanals bildet sich so eine unterschiedliche Spannung zwischen Kanal (n) und Gate (p) aus. Je größer diese Spannung ist, desto größer wird die Sperrschicht. Erhöht man nun die Drain-Source-Spannung, so kann ein Bereich erreicht werden, bei dem der Querschnitt des Kanals völlig abgeschnürt wird, siehe Abb. 1(c). Man bezeichnet diese Spannung als Abschnür- oder pinch-off-Spannung U_p .

Durch Anlegen einer Spannung zwischen dem Gate und dem Drain-Source-Kanal wird die Größe der Sperrschicht beeinflusst. Man kann den Kanal jetzt durch Variation der Gate-Spannung im Querschnitt verändern. Man erhält so einen steuerbaren Widerstand.

Die Spannungssteuerung des Drain-Source-Kanals lässt sich ausnutzen, um einen Wechselspannungsverstärker zu bauen, siehe Abb. 4. Man legt hierzu eine Gleichspannung U_{e0} , welche die Drain-Source-Spannung $U_{DS}(\text{Ruhe})$ im Ruhezustand festlegt, an den Gate-Anschluss. Üblicherweise wird U_{e0} so eingestellt, dass $U_{DS}(\text{Ruhe}) = U_b/2$ beträgt, um ein symmetrisches Aussteuerverhalten zu erhalten. Der Ruhespannung U_{e0} am Gate überlagert man eine kleine Wechselspannung $U_{e\sim}$ (diese stellt das zu verstärkende Signal dar). Dies hat zur Folge, dass die Drain-Source-Spannung sich entsprechend mit verändert \rightarrow das Signal wird verstärkt und am Ausgang als $U_{a\sim}$ abgegriffen. Um eine Beeinflussung der Signalquelle zu vermeiden, wird das Eingangssignal $U_{e\sim}$ häufig separat über einen Kondensator eingekoppelt. Dieser wirkt für Gleichspannung als Unterbrechung, für Wechselspannung ist er hingegen durchlässig. In unserem Versuch ist der Eingangskondensator nicht notwendig, da die verwendeten Frequenzgeneratoren unabhängige Einstellmöglichkeiten sowohl für U_{e0} als auch für $U_{e\sim}$ besitzen.

2.2 Auf- und Entladevorgänge an einem Kondensator

Wird ein Kondensator über einen Widerstand an eine Spannungsquelle angeschlossen, so lädt sich dieser auf. Das zeitliche Verhalten ist durch einen exponentiellen Zusammenhang gegeben:

$$\text{Aufladen: } U_C(t) = U_0 \cdot (1 - e^{-t/\tau}) \tag{1}$$

Analog ergibt sich beim Schließen des Stromkreises beim Entladen folgender Zusammenhang:

$$\text{Entladen: } U_C(t) = U_0 \cdot e^{-t/\tau} \tag{2}$$

Die charakteristische Zeitkonstante $\tau = RC$ wird Ladezeit genannt. Je größer der Widerstand und die Kapazität sind, desto länger dauert das Auf- und Entladen, siehe Abb. 2.

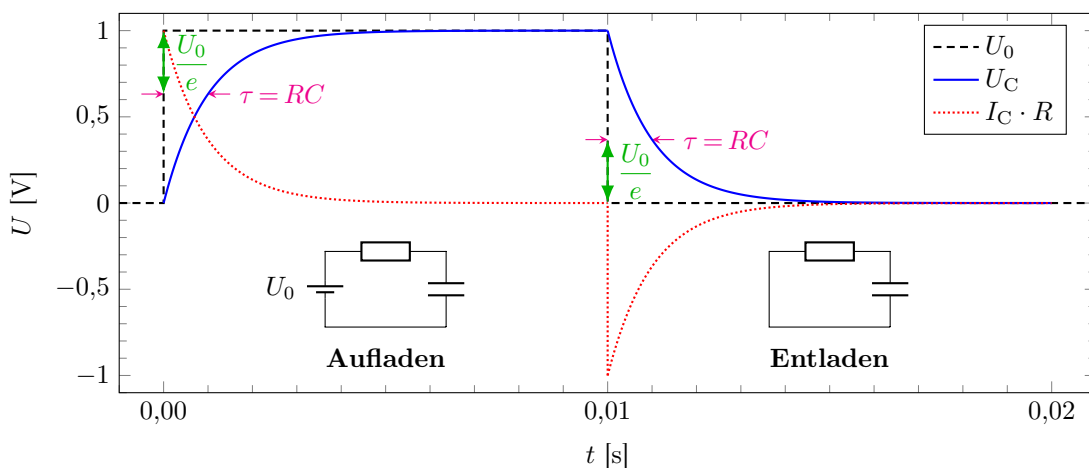


Abbildung 2: Auf- und Entladeverhalten eines RC-Gliedes, hier mit $R = 1 \text{ k}\Omega$ und $C = 1 \text{ }\mu\text{F}$. Aus der über dem Kondensator abfallenden Spannung $U_C(t)$ berechnet sich der Stromfluss zu $I_C(t) = C \cdot dU_C/dt$, hier dargestellt als Produkt $I_C \cdot R$.

3 Versuchsdurchführung

1. *Steuerbarkeit des Drain-Source-Kanals:* Bauen Sie die Schaltung nach Abb. 3 auf. Variieren Sie die Gate-Source-Spannung U_{GS} und messen Sie die Drain-Source-Spannung U_{DS} sowie den Drain-Source-Strom I_{DS} . Aus diesen beiden Größen lässt sich der Drain-Source-Widerstand R_{DS} des FETs berechnen. Plotten Sie R_{DS} gegen die Gate-Source-Spannung U_{GS} . **In welchem Bereich ist Ihr FET als regelbarer Widerstand für stabile Regelungen einsetzbar?** Diskutieren Sie die Funktion von R_D . Bestimmen Sie weiterhin die minimale sowie die maximale Kanalleitfähigkeit.

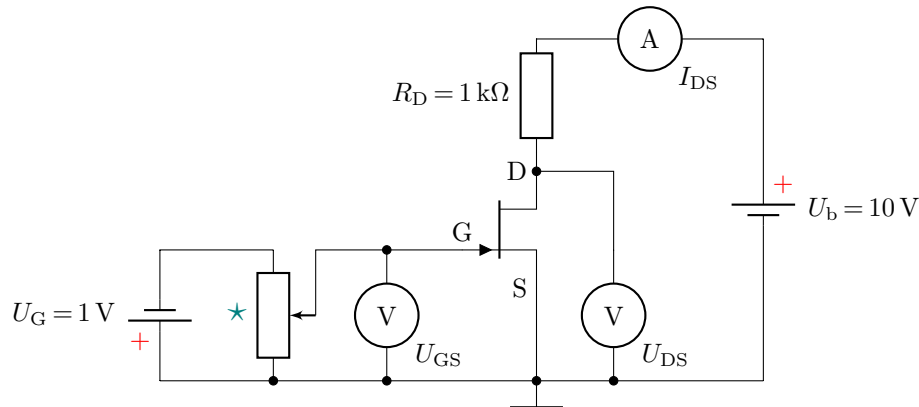


Abbildung 3: Untersuchung der Steuerung des Drain-Source-Kanals. Als Potentiometer \star nutzen Sie einen $1\text{ k}\Omega$ Spindeltrimmer. Beachten Sie die Polarität der Quellen!

2. *Wechselspannungsverstärker:* Bauen Sie die Schaltung nach Abb. 4 auf. **Festlegung des DC-Arbeitspunktes:** Stellen Sie mithilfe des Offsetreglers am Hameg-Frequenzgenerator ($1 \times -20\text{ dB}$ Abschwächung verwenden!) die Drain-Source-Spannung U_{DS} auf $U_b/2 = 5\text{ V}$ ein \hookrightarrow hierfür die Gleichspannung direkt zwischen Drain (D) und Source (S) mit dem Digitalmultimeter messen, also *vor* dem Kondensator C_a . Stellen Sie nun am Frequenzgenerator eine sinusförmige Spannung mit $f = 10\text{ kHz}$ an und beobachten Sie gleichzeitig das Eingangssignal (CH1) und das Ausgangssignal (CH2) mit dem Oszilloskop im Zweikanal-Modus. Bestimmen Sie die maximale Eingangsamplitude $U_{e\sim}$, bei der keine Verzerrung des Sinussignals $U_{a\sim}$ am Ausgang auftritt. Wie groß ist die Spannungsverstärkung $U_{a\sim}/U_{e\sim}$ dieser Verstärkerschaltung? Welche Aufgabe hat der Kondensator C_a ? Vergleichen Sie hierzu die Ausgangssignale (CH2) mit und ohne C_a .

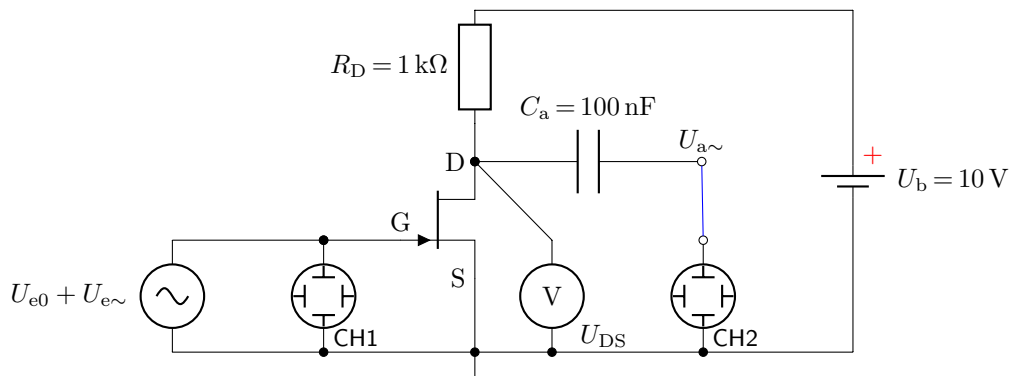


Abbildung 4: Schaltung zur Verstärkung kleiner Wechselspannungssignale mit einem JFET. Die Eingangsspannung $U_{e0} + U_{e\sim}$ wird durch den Hameg-Frequenzgenerator durch Aktivieren der Offset-Taste bereitgestellt.

3. *Hochohmiger Eingang*: Benutzen Sie die JFET-Schaltung mit offenem Gate-Anschluss, Abb. 5(a). Stellen Sie die Ausgangsspannung auf dem Oszilloskop dar. Berühren Sie nun den Gate-Anschluss. Stehen Sie dazu auf, bewegen Sie die Schuhsohle auf dem Boden und berühren Sie verschiedene Potentiale z.B. Messgerätegehäuse und Kabel der Stromversorgung. Beschreiben Sie Ihre Beobachtungen mithilfe geeigneter Oszi-Aufnahmen. Wodurch können Sie den Zustand umschalten?
 Schalten Sie nun zusätzlich zum Drain-Widerstand R_D eine Leuchtdiode in Reihe, siehe Abb. 5(b). Berühren Sie erneut den Gate-Anschluss und beobachten Sie die Leuchtdiode. Schließen Sie ein kurzes isoliertes Kabel an das Gate an. Bringen Sie die Leuchtdiode danach wieder in den ausgeschalteten Zustand. Berühren Sie nun die Kabelisolation und warten Sie einige Sekunden. Diskutieren Sie Ihre Beobachtungen.

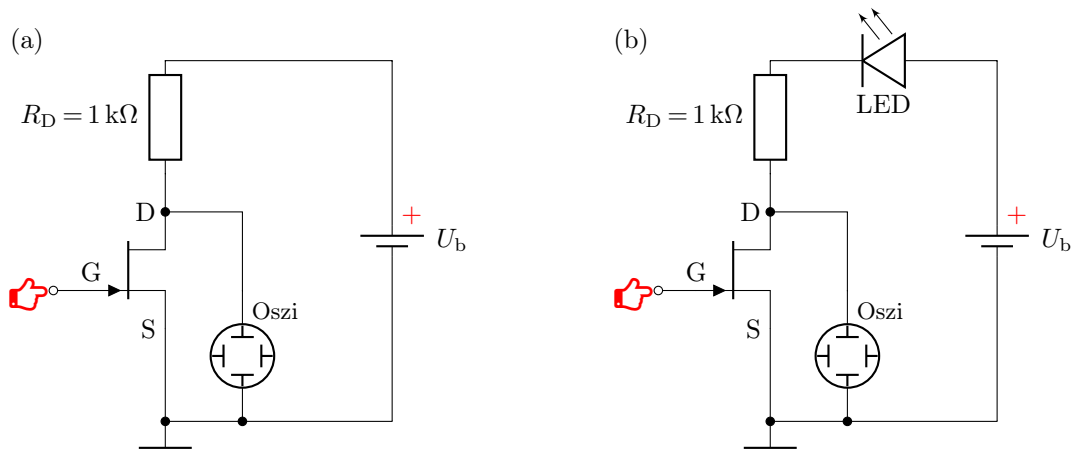


Abbildung 5: Schaltungen zur Demonstration des hochohmigen Gate-Eingangs. Benutzen Sie $U_b = 10\text{ V}$ als Betriebsspannung. Berühren Sie das offene Gate.

4. Zur Abschätzung der *Gate-Kapazität* laden Sie diese durch einen Taster auf und entladen sie durch einen großen Widerstand ($1\text{ G}\Omega$), siehe Abb. 6. Benutzen Sie die Speicherfunktion des Oszilloskops zur Aufzeichnung der Entladekurve am Drain-Source-Kanal (Digitalmodus, Einzel-Triggerung, fallende Flanke). Plotten Sie $U_{DS}(t)$ und schätzen Sie daraus die Größenordnung der Gate-Kapazität ab.

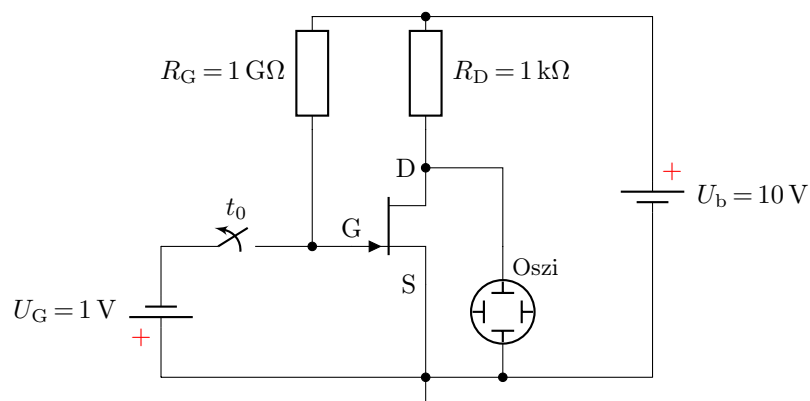


Abbildung 6: Schaltung zur Bestimmung der Gate-Kapazität. Der Taster werde zur Zeit t_0 geöffnet. Das Oszilloskop zeichnet im Digitalmodus den zeitlichen Verlauf $U_{DS}(t)$ auf. **Beachten Sie die Polarität der Spannungsquellen!**